

PATENT
081225.024 5692

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Hiroyoshi Tanimoto

Serial No.: Not Assigned

Filed: January 30, 2001

For: ELECTRIC CHARACTERISTIC EVALUATING
APPARATUS FOR A SEMICONDUCTOR DEVICE

Group No.: Not Assigned

Examiner: Not Assigned



Assistant Commissioner For Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT

Dear Sir:

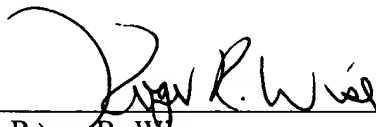
Enclosed herewith is a certified copy of Japanese patent application No. 2000-085050, which was filed March 24, 2000, from which priority is claimed under 35 U.S.C. §119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

PILLSBURY WINTHROP LLP

Dated: January 30, 2001

By: 
Roger R. Wise
Registration No. 31,204
Attorney for Applicant(s)

725 South Figueroa Street, Suite 2800
Los Angeles, CA 90017-5406
Telephone: (213) 488-7100
Facsimile: (213) 629-1033

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月24日

出 願 番 号

Application Number:

特願2000-085050

出 願 人

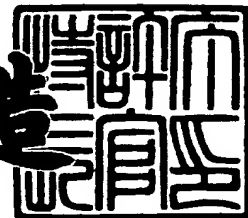
Applicant (s):

株式会社東芝

2000年 9月29日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3080523

【書類名】 特許願

【整理番号】 4HA99Z010

【提出日】 平成12年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/60

【発明の名称】 電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および半導体素子製造方法

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 谷本 弘吉

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

 【識別番号】 100068342

 【弁理士】

 【氏名又は名称】 三好 保男

【選任した代理人】

 【識別番号】 100100712

 【弁理士】

 【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および半導体素子製造方法

【特許請求の範囲】

【請求項 1】 半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出する電気特性評価装置において、

前記物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算部

を具備することを特徴とする電気特性評価装置。

【請求項 2】 長さ $^{-3}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては体積分、長さ $^{-2}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては面積分、長さ $^{-1}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては線積分を行うことを特徴とする請求項 1 に記載の電気特性評価装置。

【請求項 3】 前記キャリア生成・消滅機構は、SRH過程、インパクトイオン化、バンド間トンネリングであることを特徴とする請求項 1 又は請求項 2 に記載の電気特性評価装置。

【請求項 4】 半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出する電気特性評価方法において、

前記物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算ステップ

を有することを特徴とする電気特性評価方法。

【請求項 5】 長さ $^{-3}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては体積分、長さ $^{-2}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては面積分、長さ $^{-1}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては線積分を行うことを特徴とする請求項 4 に記載の電気特性評価方法。

【請求項 6】 前記キャリア生成・消滅機構は、SRH過程、インパクトイオン化、バンド間トンネリングであることを特徴とする請求項 4 又は請求項 5 に

記載の電気特性評価方法。

【請求項 7】 半導体素子内の物理現象を記述する物理方程式を数值的に解くことにより半導体素子の電気特性を抽出する電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体において、

前記物理方程式を数值的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算処理

を含み、この処理をコンピュータに実行させることを特徴とする電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体。

【請求項 8】 長さ $^{-3}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては体積分、長さ $^{-2}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては面積分、長さ $^{-1}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては線積分を行うことを特徴とする請求項 7 に記載の電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体。

【請求項 9】 前記キャリア生成・消滅機構は、SRH 過程、インパクトイオン化、バンド間トンネリングであることを特徴とする請求項 7 又は請求項 8 に記載の電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体。

【請求項 10】 半導体素子内の物理現象を記述する物理方程式を数值的に解くことにより半導体素子の電気特性を抽出し、抽出された電気特性から半導体素子の製造条件を決定し、決定された製造条件に基づいて半導体素子を製造する半導体素子製造方法において、

前記物理方程式を数值的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算ステップと、

出力された積分値に基づいて、所望の電気特性を備えた半導体素子の製造条件を決定するステップと

を有することを特徴とする半導体素子製造方法。

【請求項 11】 長さ $^{-3}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては体積分、長さ $^{-2}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対し

ては面積分、長さ $^{-1}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては線積分を行うことを特徴とする請求項10に記載の半導体素子製造方法。

【請求項12】 前記キャリア生成・消滅機構は、SRH過程、インパクトイオン化、バンド間トンネリングであることを特徴とする請求項10又は請求項11に記載の半導体素子製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出する電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および抽出した電気特性から半導体素子の製造条件を決定し、決定した製造条件に基づいて半導体素子を製造する半導体素子製造方法に関し、特に、1回の計算で半導体素子内のリーク電流を支配するキャリアの生成・消滅機構を同定することにより、電気特性の評価に要する時間を短縮し、半導体素子製造処理の工期および経費を大幅に削減する技術に係る。

【0002】

【従来の技術】

半導体素子の性能を左右する電気特性の一つとしてはリーク電流があり、例えば、DRAMのポーズ特性やSRAMの消費電力はメモリーセルを構成する半導体素子のリーク電流によって決定される。一般に、半導体素子のバイアス条件は半導体素子の仕様等に依存するために自由に設定することは困難な部分があるが、不純物濃度分布や素子形状は半導体素子の製造方法や製造条件によって制御することができるため、リーク電流は不純物濃度分布や素子形状を最適化することによって制御することが可能である。

【0003】

このような背景から、最近、半導体素子の不純物濃度分布や素子形状を考慮してポアソン方程式や電流連続式等の非線形微分方程式で記述される物理方程式を数値的に解くことにより、半導体素子の電気特性を抽出、評価するデバイスシ

ミュレータ（＝電気特性評価装置）を用いたリーク電流の評価が行われるようになってきた。デバイスシミュレータを用いてリーク電流を評価する際は、リーク電流の「源」となるキャリアの生成・消滅機構を考慮し、その主な機構としては、SRH（Shockley-Read-Hall）過程、インパクトイオン化、バンド間トンネリング等がある。したがって、デバイスシミュレータを用いれば、リーク電流の主な原因となる生成・消滅機構を確認することができ、リーク電流の主たる原因を同定し、半導体素子を製造する前に、リーク電流を低減するための適切な処理を行うことが可能となるのである。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、このような従来までのデバイスシミュレーション技術を利用したリーク電流の評価処理には以下に示すような解決すべき技術的課題がある。

【 0 0 0 5 】

すなわち、従来までの処理においては、リーク電流を支配するキャリアの生成・消滅機構が何であるのかを同定するためには、デバイスシミュレーションを複数回実行する必要性があり、例えば、SRH過程、インパクトイオン化、バンド間トンネリングの3つのキャリア生成・消滅機構を考慮してリーク電流を評価する場合、SRH過程のみを考慮した場合のリーク電流値、インパクトイオン化のみを考慮した場合のリーク電流値、バンド間トンネリングのみを考慮したリーク電流値のそれぞれを計算するために、デバイスシミュレーションを計4回実行する必要性があり、また、半導体と絶縁体との界面におけるキャリアの生成・消滅機構等、別のリーク電流機構を考慮するのであれば、さらに多数回のデバイスシミュレーションを実行する必要性がある。

【 0 0 0 6 】

さらに、一般に、デバイスシミュレーション技術を利用してリーク電流を低減するために不純物濃度や素子形状等を最適化しようとする際には、デバイスシミュレーションを複数回実行する必要性があり、このような状況において各キャリアの生成・消滅機構についてのリーク電流への寄与を分解して評価しようとするれば、その3倍のデバイスシミュレーションを実行する必要性が生じる。

【 0 0 0 7 】

このように、従来までのデバイスシミュレーション技術を利用してリーク電流を評価しようとする場合、所望の情報を抽出するまでにデバイスシミュレーションを非常に多くの回数繰り返し実行する必要性があり、電気特性の評価に多大な時間を要し、半導体素子製造処理の工期および経費を削減することが困難であった。

【 0 0 0 8 】

本発明は、このような技術的課題を鑑みてなされたものであり、その目的は、半導体素子製造処理の工期および経費を大幅に削減する電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および半導体素子製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記技術的課題を解決するために、発明者は、物理方程式を数值的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する1回のシミュレーションによって、各キャリア生成・消滅機構がリーク電流にどれだけ寄与するのかを定量的に見積もることができるので、電気特性の評価に要する時間を大幅に削減し、半導体製造処理の工期および経費を削減することができるという考えに至り、精力的な研究を続けてきた結果、以下の特徴を備えた技術思想を発案するに至ったのである。

【 0 0 1 0 】

本発明の第1の特徴は、半導体素子内の物理現象を記述する物理方程式を数值的に解くことにより半導体素子の電気特性を抽出する電気特性評価装置において、物理方程式を数值的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算部を具備する電気特性評価装置であることにある。

【 0 0 1 1 】

これにより、電気特性の評価に要する時間を短縮し、半導体素子製造処理の工

期および経費を大幅に削減することができる。

【 0 0 1 2 】

本発明の第 2 の特徴は、半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出する電気特性評価方法において、物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算ステップを有する電気特性評価方法であることにある。

【 0 0 1 3 】

これにより、電気特性の評価に要する時間を短縮し、半導体素子製造処理の工期および経費を大幅に削減することができる。

【 0 0 1 4 】

本発明の第 3 の特徴は、半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出する電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体において、物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算処理を含み、この処理をコンピュータに実行させる電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体であることにある。

【 0 0 1 5 】

これにより、電気特性の評価に要する時間を短縮し、半導体素子製造処理の工期および経費を大幅に削減することができる。

【 0 0 1 6 】

本発明の第 4 の特徴は、半導体素子内の物理現象を記述する物理方程式を数値的に解くことにより半導体素子の電気特性を抽出し、抽出された電気特性から半導体素子の製造条件を決定し、決定された製造条件に基づいて半導体素子を製造する半導体素子製造方法において、物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算ステップと、出力された積分値に基づいて、所望の電気特性を備えた半導体素子の製造条件を決定するステップとを有する半導

体素子製造方法であることにある。

【0017】

これにより、電気特性の評価に要する時間を短縮し、半導体素子製造処理の工期および経費を大幅に削減することができる。

【0018】

ここで、コンピュータ読取り可能な記録媒体としては、半導体メモリ、磁気ディスク、光ディスク、光磁気ディスク、磁気テープ等を用いることが望ましい。

【0019】

なお、積分処理は、長さ $^{-3}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては体積分、長さ $^{-2}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては面積分、長さ $^{-1}$ 時間 $^{-1}$ の次元を持つキャリア生成・消滅機構に対しては線積分を行うことが望ましい。

【0020】

また、キャリア生成・消滅機構としては、SRH過程、インパクトイオン化、バンド間トンネリング等の機構が考えられる。

【0021】

【発明の実施の形態】

以下、図1乃至図6を参照して、本発明の実施形態に係る電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および半導体素子製造方法について詳しく説明する。

【0022】

（電気特性評価装置）

図1は、本発明の実施形態に係る電気特性評価装置の構成を示すブロック図である。

【0023】

本発明の実施形態に係る電気特性評価装置11は、図1に示すように、装置11から抽出された製造条件に関する情報を用いて半導体素子を製造する半導体素子製造装置22に接続して半導体素子製造システム10を構築しており、装置11は、外部からの情報の入出力処理のインタフェースの役割を担う入出力インタ

フェイス部 1 2、半導体素子の電気特性評価処理を制御する制御部 1 3、入力された半導体素子の構造内に電気特性を評価するための離散化格子点を発生させる離散化格子点発生部 1 4、離散化格子点上の物理量についての物理方程式を数値的に解く解析処理部 1 5、離散化格子点上の物理量を用いて各電極の電流値を計算する電流値計算部 1 6、各キャリア生成・消滅機構によるキャリア生成・消滅速度を半導体領域で積分する積分値計算部 1 7 を備える。

【 0 0 2 4 】

また、電気特性評価装置 1 1 は、電気特性評価情報や装置 1 1 に係る各種制御情報等の情報を入力する入力部 2 0、装置 1 1 の計算結果やエラー情報等の情報を出力する出力部 2 1 に接続されている。なお、入力部 2 0 としてはキーボード、マウスポインタおよびライトペン等、また、出力部 2 1 としては、プリンタやディスプレイ装置等を用いると良い。

【 0 0 2 5 】

なお、入出力インタフェイス部 1 2 としては、表示情報を参照してユーザが処理を進めることを可能にするグラフィカルユーザインタフェイスであることが望ましい。

【 0 0 2 6 】

(電気特性評価方法、半導体素子製造方法)

図 2 は、本発明の実施形態に係る半導体素子製造方法を示すフローチャート図である。

【 0 0 2 7 】

本発明の実施形態に係る半導体素子製造方法は以下のステップにより実行される。

【 0 0 2 8 】

(1) 電気特性を評価する半導体素子の不純物濃度分布、素子形状、バイアス条件 (= 電気特性評価情報) を入力する (素子構造・バイアス条件入力ステップ、S 2 0 1)。

【 0 0 2 9 】

ここで、半導体素子の不純物濃度分布や素子形状の入力はライトペン等の入力

装置を用いても良いし、プロセスシミュレーションにより得られた素子構造情報を用いても良い。また、バイアス条件は、例えばN型MOSFETを例にとると、ソース電極と基板電極の電位を接地、すなわち0[V]とし、ドレイン電極に2[V]、ゲート電極に2[V]を印加する等のように、各電極に印加する電圧を指定しても良いし、又は、ソース電極と基板電極の電位を接地し、ドレイン電極に2[V]印加し、ゲート電極の電圧を0[V]から2[V]まで0.1[V]刻みで変化させる等のように、少なくとも一つの電極の印加電圧の変化の範囲と変化量を指定しても良い。

【0030】

(2) 離散化格子点発生部14が、物理方程式を解くために必要な離散化格子点を入力された素子形状内に発生させる（離散化格子点発生ステップ、S202）。

【0031】

(3) 制御部13が、入力されたバイアス条件にしたがって、半導体素子内の各電極へ印加する電圧等のバイアス条件を、設定する（バイアス設定ステップ、S203）。

【0032】

(4) 解析処理部15が、離散化格子点上の電位、電子濃度等の物理量についての物理方程式を、バイアス条件として与えられた境界条件の下で数値的に解く（物理方程式解析ステップ、S204）。ここで、解析処理部15は、物理方程式を微小変化量で線形化し、反復法を用いて非線形連立方程式を解く、従来までのデバイスシミュレータと同様の処理を行うものとする。

【0033】

(5) 電流値計算部16が、離散化格子点上の電位、電子濃度等の物理量を用いて各電極の電流値を計算する（電流値計算ステップ、S205）。

【0034】

(6) 積分値計算部17が、各キャリア生成・消滅機構によるキャリア生成・消滅速度を半導体領域で体積分する（体積分値計算ステップ、S206）。

【0035】

ここで、この体積分値計算ステップについて詳しく説明する。

【 0 0 3 6 】

本発明の実施形態に係る電気特性評価方法においては、従来とは異なり、与えられたバイアス条件の下で物理方程式を解いた後で、各キャリア生成・消滅機構によるキャリア生成・消滅速度を半導体領域で体積分する処理が含まれており、この処理を行うことにより、各キャリア生成・消滅機構によるリーク電流成分を分離して評価することができるのである。

【 0 0 3 7 】

体積分値は具体的には以下のステップにより抽出される。

【 0 0 3 8 】

一般に、デバイスシミュレーションにおいては、(数 1) に示すような電流保存式を解く。

【 0 0 3 9 】

【数 1】

$$\frac{\partial n}{\partial t} = -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_n + G R_n$$

ここで、 n 、 t 、 q 、 J_n 、 $G R_n$ はそれぞれ、電子濃度、時間、素電荷、電子電流密度ベクトル、電子の生成・消滅速度を示し、電子の生成・消滅速度 $G R_n$ の符号はキャリアの生成を正、消滅を負としている。なお、正孔についても同様の形態の電流保存式があるが、ここでは記載を省略する。

【 0 0 4 0 】

半導体素子のリーク電流は(式 1) の右辺の生成・消滅速度 $G R_n$ の項が源となっており、生成消滅速度 $G R_n$ は、(式 2) に示すように、複数の生成・消滅機構による生成・消滅速度の和で表現することができる。

【 0 0 4 1 】

【数 2】

$$G R_n = G R_{SRHn} + G R_{IIn} + G R_{BBTn}$$

ここで、 $G R_{SRH}$ は SRH 過程による電子の生成・消滅速度、 $G R_{IIN}$ はイ

ンパクトイオン化による電子の生成・消滅速度、 GR_{BBTn} はバンド間トンネリングによる電子の生成・消滅速度である。なお、ここでは、3種類の生成・消滅機構のみを考えたが、これは単なる一例であって、他の生成・消滅機構を考慮することは勿論可能である。

【0042】

(式2) 右辺における各生成・消滅速度は電子濃度等の関数で表現されてデバイスシミュレータに取り込まれており、また、物理方程式を数値的に解くことにより、離散化格子点上の生成・消滅速度は生成・消滅機構毎に抽出される。

【0043】

本発明の電気特性評価処理は、このようにして抽出される生成・消滅速度を生成・消滅機構毎に半導体中で体積分し、出力することに特徴を有し、この処理を式で表現すれば、(式3)～(式5)のようになる。

【0044】

【数3】

$$ASRHn = \int_{Si} GR_{SRHn} dv$$

【数4】

$$A_{IIn} = \int_{Si} GR_{IIn} dv$$

【数5】

$$ABBTn = \int_{Si} GR_{BBTn} dv$$

なお、体積分値はそのままの値を出力しても良いが、各値に素電荷 q を掛けた値を出力するようにしても良い。すなわち、(数6)～(数8)に示す式の値を計算して、出力しても良く、この場合、出力値は各生成・消滅機構が与えるリーク電流成分の近似的な値を示すこととなる。

【0045】

【数 6】

$$J_{SRHn} = q \int_{Si} G_{SRHn} dv$$

【数 7】

$$J_{Iln} = q \int_{Si} G_{Iln} dv$$

【数 8】

$$J_{BBTn} = q \int_{Si} G_{BBTn} dv$$

ここで、(数 6) ～ (数 8) により各生成・消滅機構が与えるリーク電流成分の近似的な値が得られる理由は、物理的に説明すると、リーク電流を問題にしている状態での半導体素子中のキャリアの消滅速度はキャリアの生成速度よりも大きいので、キャリア生成機構によって生成したキャリアはほぼ再結合することなく電極まで流れ込んで、リーク電流として観測されるからである。

【0046】

なお、キャリア生成・消滅速度が長さ⁻³時間⁻¹の次元のものに対しては上記のように体積分値を計算するが、半導体と絶縁体との界面でのSRH過程によるキャリア生成・消滅機構等、速度の次元が長さ⁻²時間⁻¹であるようなキャリア生成・消滅機構の場合には、半導体で体積分した値を算出、出力するのではなく、界面で面積分した値を算出、出力し、同様に、長さ⁻¹時間⁻¹の次元を持つキャリア生成・消滅機構に対しては線積分した値を算出、出力する。なお、他の次元を持つキャリア生成・消滅機構もこれに準じた処理が必要なことは明白であるが、ここではその説明を省略する。

【0047】

また、本実施形態においては、各電極における電流値を計算した後に体積分値を抽出しているが、このステップが逆であっても一向に構わない。

【0048】

(7) 制御部13が、電流値および体積分値を出力部21に出力する(出力処理ステップ、S207)。

【 0 0 4 9 】

(8) 制御部 1 3 が、別のバイアス条件で評価するか否かの判別を行い (判別ステップ、 S 2 0 8) 、判別の結果、別のバイアス条件で評価する場合には (バイアス設定ステップ、 S 2 0 3) へ、評価しない場合には (製造条件決定ステップ、 S 2 0 9) へ移行する。

【 0 0 5 0 】

(9) 出力された半導体素子の電気特性に基づいて、所望の電気特性を備えた半導体素子を製造するための、不純物イオン注入条件、アニール条件等の製造条件を決定する (製造条件決定ステップ、 S 2 0 9) 。

【 0 0 5 1 】

(1 0) 半導体素子製造装置 2 2 が、決定された製造パラメータに基づいて、不純物イオン注入処理、アニール処理等の半導体製造処理を実行し、半導体素子を製造する (半導体素子製造処理ステップ、 S 2 1 0) 。

【 0 0 5 2 】

なお、本発明の実施形態に係る電気特性評価装置は、例えば、図 3 に示す構成のような概観を有する。つまり、本発明の実施形態に係わる電気特性評価装置は、コンピュータシステム 3 0 内に電気特性評価装置 1 1 の各要素を内蔵することにより構成される。コンピュータシステム 3 0 は、フロッピーディスクドライブ 3 2 および光ディスクドライブ 3 4 を備えている。そして、フロッピーディスクドライブ 3 2 に対してはフロッピーディスク 3 3、光ディスクドライブ 3 4 に対しては光ディスク 3 6 を挿入し、所定の読み出し操作を行うことにより、これらの記録媒体に格納された電気特性評価プログラムをシステム内にインストールすることができる。また、所定のドライブ装置を接続することにより、例えば、メモリ装置の役割を担う ROM 3 7 や、磁気テープ装置の役割を担うカートリッジ 3 8 を用いて、インストールやデータの読み書きを実行することもできる。さらに、ユーザはキーボード 3 5 を介して電気特性評価処理に係る各種データを入力することができ、電気特性の計算結果等をディスプレイ 3 1 を介して知ることが可能である。

【 0 0 5 3 】

また、本発明の実施形態に係る電気特性評価方法は、プログラム化しコンピュータ読み取り可能な記録媒体に保存しても良い。そして、電気特性を評価する際は、この記録媒体をコンピュータシステムに読み込ませ、コンピュータシステム内のメモリ等の記憶部にプログラムを格納し、電気特性評価プログラムを演算装置で実行することにより、本発明の電気特性評価方法を実現することができる。ここで、記録媒体とは、例えば、半導体メモリ、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなどのプログラムを記録することができるようなコンピュータ読み取り可能な媒体などが含まれる。

【 0 0 5 4 】

このように、本発明はここでは記載していない様々実施の形態等を包含するということは十分に理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係わる発明特定事項によってのみ限定されるものでなければならない。

【 0 0 5 5 】

最後に、従来および本発明の電気特性評価方法を用いてリーク電流を評価した実験結果を示す。

【 0 0 5 6 】

(実験例 1)

実験 1 は、図 4 に示す素子構造を有するシリコン N 型 MOSFET に対して行った。また、キャリアの生成・消滅機構としては、SRH 過程、インパクトイオン化、バンド間トンネリングを考え、バイアス条件は、ソース電極と基板電極に 0 [V]、ゲート電極に -1 [V]、ドレイン電極に 2 [V] を印加することとした。

【 0 0 5 7 】

まず始めに、従来技術を用いて評価した結果を図 5 (a) に示す。

【 0 0 5 8 】

図 5 (a) より、この半導体素子の場合、設定したバイアス条件ではバンド間トンネリングがリーク電流の大部分を占め、バンド間トンネリングによるリーク電流は 9.45×10^{-14} A であることがわかる。なお、「BBTのみ」の場合と、「全てあり」の場合の電流値が若干異なる理由は、「全てあり」の場合に

はバンド間トンネリングによるリーク電流が元になってインパクトイオン化を起こすという効果を取り込まれるが、「BBTのみ」の場合にはその効果が無視されるためである。一方、「IIのみ」の場合には、インパクトイオン化を起こす元となるバンド間トンネリングによるリーク電流がないために、やはり「全てあり」の場合とはリーク電流の計算結果が異なる。また、「全てあり」の場合と「BBTのみ」の場合との電流値の差から、バンド間トンネリングによるリーク電流がインパクトイオン化を起こすために生じるリーク電流が約 1.7×10^{-15} A であることが推測できる。

【 0 0 5 9 】

ところが、従来技術を用いて評価した場合には、「GRなし」のシミュレーションは省略することができるにしても、「SRHのみ」、「IIのみ」、「BBTのみ」、「全てあり」の計4回シミュレーションを実行する必要がある。また、バンド間トンネリングによるリーク電流が元で生じるインパクトイオン化によるリーク電流は複数の計算結果から推測するしか方法がない。

【 0 0 6 0 】

次に、本発明の電気特性評価方法を用いて評価した結果を図4(b)左に示す。

【 0 0 6 1 】

図5(b)左より、電流値自体は従来の「全てあり」の場合と全く同じであることがわかる。

【 0 0 6 2 】

続いて、本発明に特有な電子の生成・消滅速度をシリコン基板中で体積分した値に素電荷 q を掛けた値を図5(b)右に示す。

【 0 0 6 3 】

図5(b)右より、SRH過程によるリーク電流成分は小さいが、インパクトイオン化によるリーク電流は 1.68×10^{-15} 、バンド間トンネリングによるリーク電流は 9.45×10^{-14} A であることがわかる。この結果は、従来のデバイスシミュレーションを4回実行することによって得られた結果とほぼ一致する。

【 0 0 6 4 】

すなわち、本発明の電気特性評価方法を用いた場合には、シミュレーションを 1 回実行しただけで、各生成・消滅機構のリーク電流への寄与が精度良く評価することができるのである。各キャリア生成・消滅速度の体積分を行う処理に要する時間は、全体の処理時間に比べれば無視できる程度の時間であるので、従来のデバイスシミュレーションでは 4 回のシミュレーションが必要だった評価が、本発明の電気特性評価方法によれば 1 回で行うことができるため、評価に要する時間は $1/4$ となり、リーク電流の評価の効率が大幅に向上する。

【 0 0 6 5 】

(実験 2)

実験 2 においては、実験 1 と同じ素子構造を有するシリコン N 型 MOSFET について異なるバイアス条件でリーク電流を抽出し、バイアス条件は、ソース電極と基板電極に 0 [V]、ゲート電極に 2 [V]、ドレイン電極に 2 [V] を印加することとした。

【 0 0 6 6 】

まず始めに、従来技術を用いて評価した結果を図 6 (a) に示す。

【 0 0 6 7 】

図 6 (a) より、このデバイスの場合、このバイアス条件ではインパクトイオン化がリーク電流のほぼ全体であり、SRH 過程やバンド間トンネリングによるリーク電流はほとんどないことがわかる。このように、従来のデバイスシミュレーションを用いた場合には、「GR なし」というシミュレーションは省略することができるとしても、「SRH のみ」、「II のみ」、「BBT のみ」、「全てあり」の計 4 回のシミュレーションを実行する必要がある。

【 0 0 6 8 】

一方、本発明による電気特性評価方法を用いた電流値の計算結果を図 6 (b) 左に示す。

【 0 0 6 9 】

電流値自体は従来のデバイスシミュレーションを用いた「全てあり」の場合と同じである。

【 0 0 7 0 】

次に、本発明に特有な処理である電子の生成・消滅速度をシリコン基板中で体積分した値に素電荷 q を掛けた値を図 6 (b) 右に示す。

【 0 0 7 1 】

図 6 (b) 右から、SRH過程とバンド間トンネリングによるリーク電流成分は無視できる程小さいが、インパクトイオン化によるリーク電流は 4.33×10^{-8} Aであることがわかる。この結果は、従来のデバイスシミュレーションを 4 回実行することによって得られた結果と一致している。すなわち、本発明による電気特性評価方法を用いた場合には、シミュレーションを 1 回実行しただけで、各生成・消滅機構のリーク電流への寄与を評価することができる。

【 0 0 7 2 】

【発明の効果】

以上述べてきたように、本発明の電気特性評価装置、電気特性評価方法、電気特性評価プログラムを格納したコンピュータ読取り可能な記録媒体および半導体素子製造方法によれば、1 回のシミュレーションによって、各キャリア生成・消滅機構がリーク電流にどれだけ寄与するのかを定量的に見積もることができるので、電気特性の評価に要する時間を大幅に削減し、半導体製造処理の工期および経費を削減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る半導体素子製造システムの構成を示すブロック図である。

【図 2】

本発明の実施形態に係る半導体素子製造方法を示すフローチャート図である。

【図 3】

本発明の実施形態に係る電気特性評価装置の構成を示す概観図である。

【図 4】

半導体素子の設計情報を示す図である。

【図 5】

従来および本願発明の電気特性評価方法を用いた実験結果を示す図である。

【図 6】

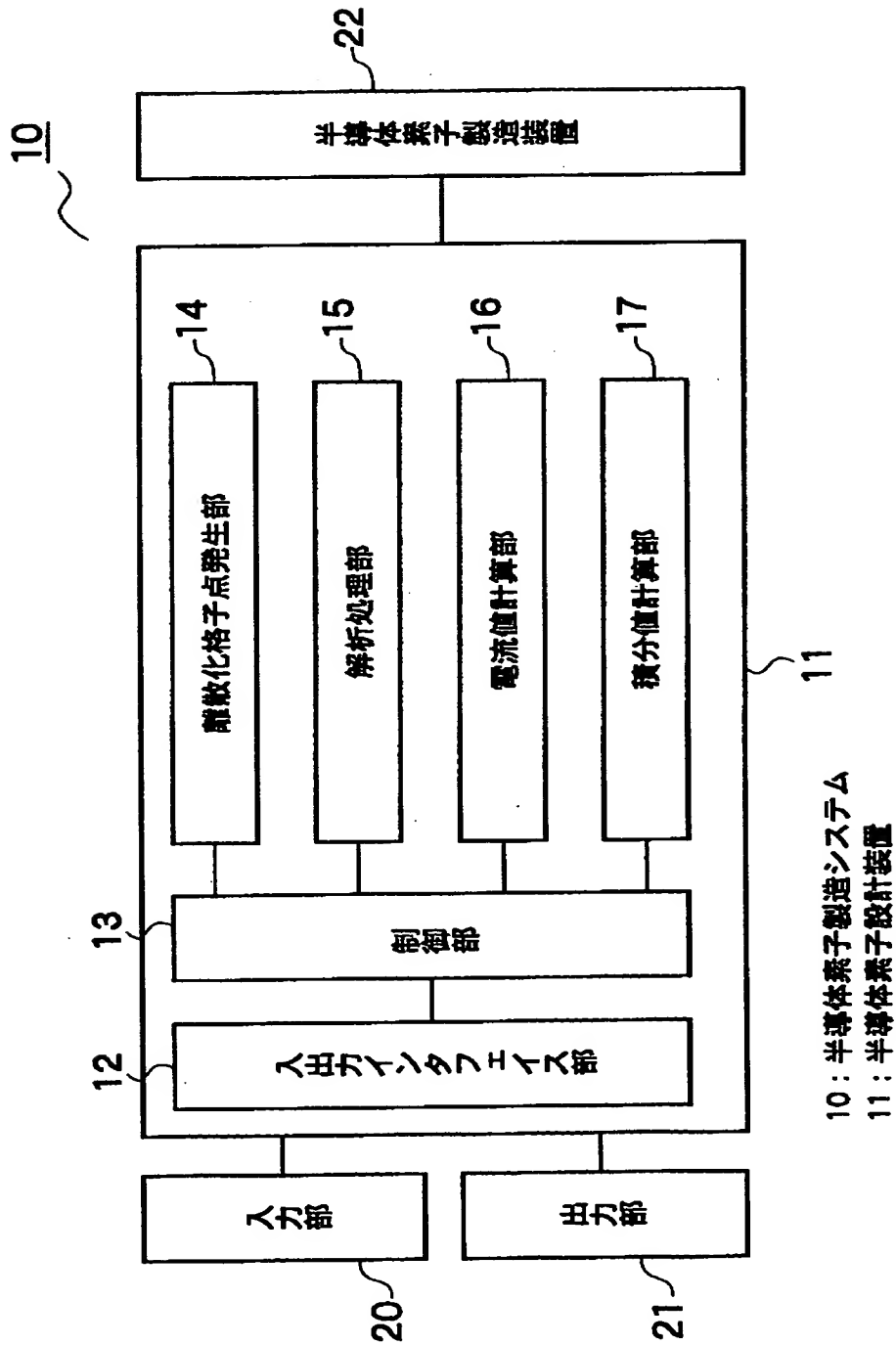
従来および本願発明の電気特性評価方法を用いた実験結果を示す図である。

【符号の説明】

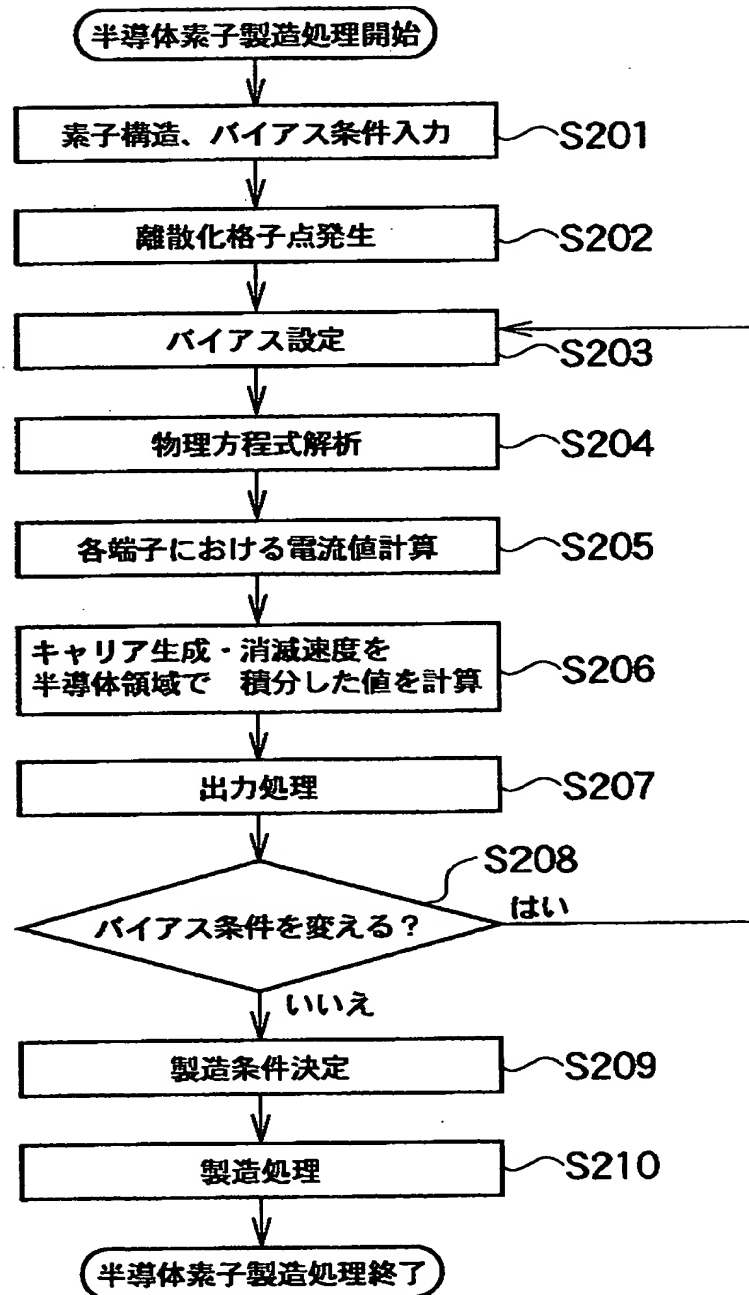
- 1 0 半導体素子製造システム
- 1 1 電気特性評価装置
- 1 2 入出力インタフェース部
- 1 3 制御部
- 1 4 離散化格子点発生部
- 1 5 解析処理部
- 1 6 電流値計算部
- 1 7 積分値計算部
- 2 0 入力部
- 2 1 出力部
- 2 2 半導体素子製造装置
- 3 0 コンピュータシステム
- 3 1 ディスプレイ
- 3 2 フロッピードライブ
- 3 3 フロッピーディスク
- 3 4 光ディスクドライブ
- 3 5 キーボード
- 3 6 光ディスク
- 3 7 ROM
- 3 8 カートリッジ

【書類名】 図面

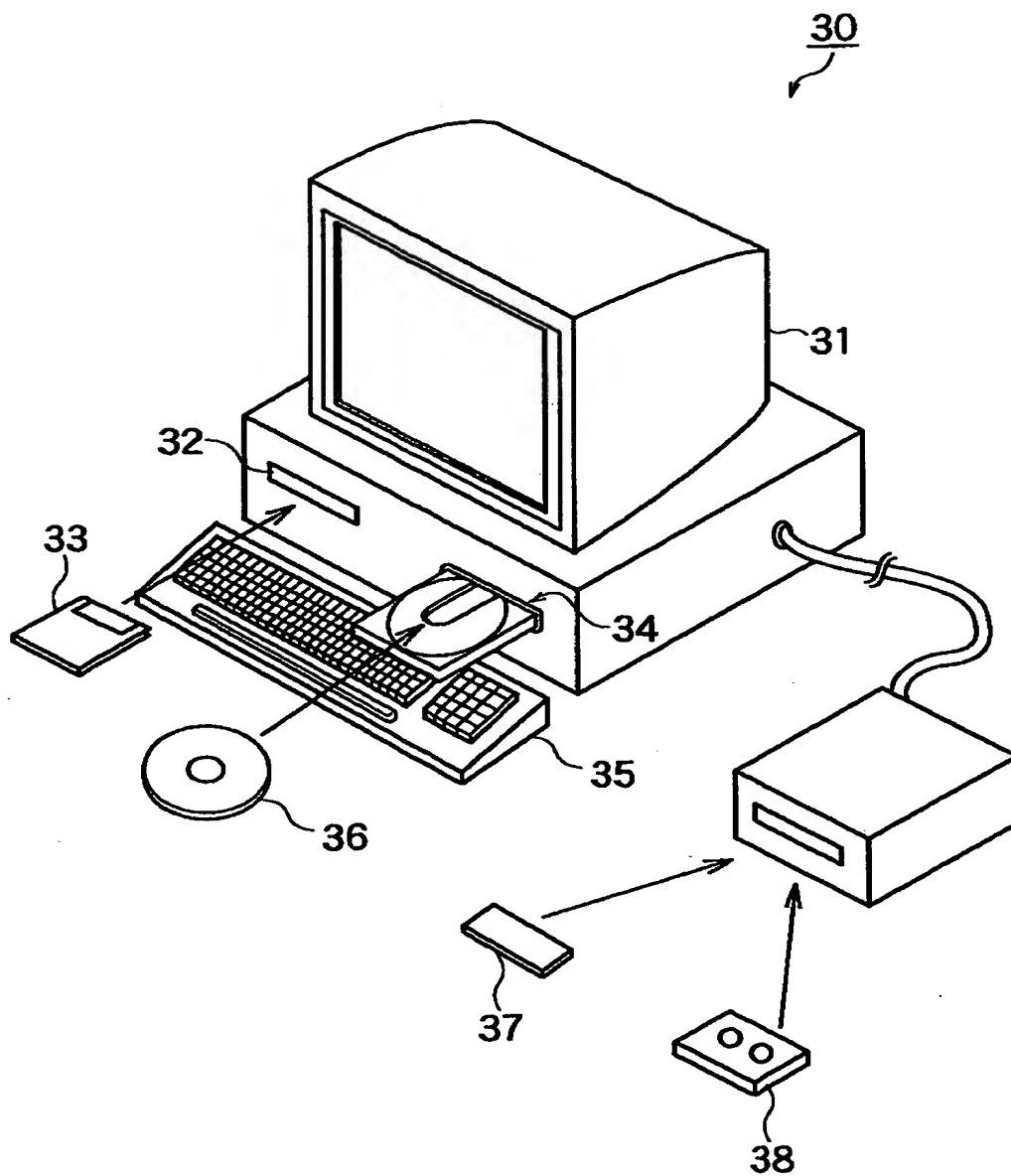
【図 1】



【図 2】



【図3】



30:コンピュータシステム
31:ディスプレイ
32:フロッピードライブ
33:フロッピーディスク

34:光ディスクドライブ
35:キーボード
36:光ディスク
37:ROM
38:カートリッジ

【図 4】

(素子構造)	
P型基板の不純物濃度	$3 \times 10^{17} \text{cm}^{-3}$
ゲート酸化膜厚	6nm
ゲート電極	N型ポリシリコン
ゲート長	$0.3 \mu\text{m}$
ソース/ドレイン拡散層最大濃度	$1 \times 10^{20} \text{cm}^{-3}$
ソース/ドレイン拡散層最大深さ	$0.08 \mu\text{m}$
素子幅	$1 \mu\text{m}$

【図 5】

(a)従来技術

	GRなし	SRHのみ	IIのみ	BBTのみ	全てあり
ソース電流	4.08E-17	1.38E-17	1.37E-17	4.17E-19	1.29E-18
ドレイン電流	4.07E-17	6.78E-17	6.72E-17	9.45E-14	9.63E-14
基板電流	3.37E-18	9.41E-18	1.72E-18	9.45E-14	9.62E-14

GRなし：キャリアの生成・消滅を全く考慮しない計算

SRHのみ：SRH過程によるリーク電流のみを考慮した計算

IIのみ：インパクトイオン化によるリーク電流のみを考慮した計算

BBTのみ：バンド間トンネリングにリーク電流のみを考慮した計算

全てあり：3種類全ての機構によるリーク電流を考慮した計算

(b)本願発明

ソース電流	1.29E-18
ドレイン電流	9.63E-14
基板電流	9.62E-14

機構	体積分値×素電荷
J _{SRHn}	1.50E-17
J _{IIIn}	1.68E-15
J _{BBTn}	9.45E-14

【図 6】

(a)従来技術

	GRなし	SRHのみ	IIのみ	BBTのみ	全てあり
ソース電流	4.08E-04	4.48E-04	4.48E-04	4.48E-04	4.48E-04
ドレイン電流	4.08E-04	4.48E-04	4.48E-04	4.48E-04	4.48E-04
基板電流	4.66E-18	1.59E-17	4.33E-08	4.66E-18	4.33E-08

GRなし：キャリアの生成・消滅を全く考慮しない計算

SRHのみ：SRH過程によるリーク電流のみを考慮した計算

IIのみ：インパクトイオン化によるリーク電流のみを考慮した計算

BBTのみ：バンド間トンネリングにリーク電流のみを考慮した計算

全てあり：3種類全ての機構によるリーク電流を考慮した計算

(b)本願発明

ソース電流	4.48E-04
ドレイン電流	4.48E-04
基板電流	4.33E-08

機構	体積分値×素電荷
J _{SRHn}	4.78E-14
J _{II n}	4.33E-08
J _{BBTn}	0.00E+00

【書類名】 要約書

【要約】

【課題】 半導体製造処理の工期および経費を削減する。

【解決手段】 物理方程式を数値的に解くことにより得られるキャリア生成・消滅速度を、半導体領域内でキャリア生成・消滅機構毎に積分し、積分値を出力する積分値計算部 17 を具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝